

(Partial Translation)

Fig. 2(D) has a construction that the Trap Layer (8) and (8') is formed on the upward of the Source(3) and the Drain(2), on the contrary to (C). Each of them employ the carrier injection method using Zener Plasma or Avalanche Plasma between the Drain(2) and the substrate or the Source(3) and the substrate.

⑩ 日本国特許庁

公開特許公報

特 許 願 (特許法第18条ただし書)
の規定による特許願

昭和46年11月24日

特許庁長官 井 土 武 夫 殿

1. 発明の名称

～ 半導体メモリ装置

2. 特許請求の範囲に記載された発明の要旨

3. 発明者

住所 〒101 東京都千代田区神田2丁目14番6号

東京電気化学工業株式会社内

氏名 山 崎 勇 平 方 幸 一

4. 特許出願人

住所 〒101 東京都千代田区神田2丁目14番6号

東京電気化学工業株式会社内

氏名 山 崎 勇 平

⑪特開昭 48-73086

⑬公開日 昭48.(1973) 10 2

⑭特願昭 46-94297

⑮出願日 昭46.(1971) 11. 24

審査請求 有 (全12頁)

庁内整理番号

⑯日本分類

6426 57
6244 56

996E3
978C13

明 細 書

1. 発明の名称

半導体メモリ装置

2. 特許の請求範囲

1. 半導体基板に1つまたは複数個作製された1つまたは別にまつた2つまたはそれ以上の絶縁ゲイト型電界効果トランジスタのゲイト絶縁膜内に電荷の捕獲中心層として半導体

または複数個形成せしめ、かかる層に捕獲された電荷の量、電荷を制御することにより、その直下の半導体中を流れるキャリアの量を制御することを特徴とした半導体メモリ装置

2. 半導体基板に1つまたは複数個作製された1つまたは別にまつた2つまたはそれ以上の絶縁ゲイト型電界効果トランジスタのゲイト絶縁膜内に電荷の捕獲中心層としての半導体または金属のクラスマまたは膜を一部または全部に1つまたは複数個作られたる絶縁膜上

にゲイト電極として少くとも2つが同一平面またはかゝるあわせて形成された構造を有することを特徴とした半導体メモリ装置

3. 半導体基板に複数個作製された絶縁ゲイト型電界効果トランジスタ間に存在する絶縁膜内に半導体または金属のクラスマまたは膜を形成せしめ、かかる部分に所定の電荷を注入することにより前記トランジスタ間の半導体表面およびその近傍での電気的導電性を

制御する装置

3. 発明の詳細な説明

本発明は、半導体基板に1つまたは複数個作製された1つまたは別にまつた2つまたはそれ以上の絶縁ゲイト型電界効果トランジスタ(以下MIS・FETという)のゲイト(以下Gという)絶縁膜内に電荷の捕獲中心層(以下トラップレイヤーすなわちTLと記す)として半導体または金属のクラスマまたは膜を局部的に1つまたは複数個形成せしめ、かかる層に捕獲さ

$\Lambda \sim 1 \mu$ ではゲイト電極の作成が可能な厚膜としそれらをあわせて膜として定着している。すなわち、本実施例においては、かかる半導体または金属のクラスマまたは膜をT_Lとして作成させた。

このT_Lがクラスマであるか膜構造をしているかは基板またはゲイト電極より注入されるキャリアの捕獲断面積として定着され膜の場合はその捕獲確立が1であるがクラスマの場合はすきまがあるため1以下になる。しかしクラスマでは各クラスマが電気的に分離しているため、一部のクラスマがピンホールにより基板と導通していても他のクラスマに捕獲された電荷はそのまゝであるが、膜の場合はすべてがリークしてしまふ。

この違いがある他方膜が十分厚い（厚膜である）場合、その内部で各電荷どうしがクーロン反発力を持ち、基板に対しては実質的に全電荷の半分のみが影響を与えるため、その効率が悪化し、さらに、後の作成中に加わる熱処理の影響

をうけやすく界面特性を悪化させる。結果として、基板とT_Lとの厚さがうすい場合はT_Lの平均膜厚もうすくしなければならぬ。このためT_Lが膜としたとき薄膜であつても厚膜であつてもT_Lとしての機能は概略同じであるがその構造は全く異つてくる。

さらに、このT_Lを構成する材料として金属の場合は、モリブデン、タンタム、タングステン、クロム、ベリリウム、アルミニウム、マグネシウム、ジルコニウムを用いた。T_Lが金属でできている場合、注入されるキャリアは、原則的には電子のみである。しかし、ここにホールが基板(1)より何らかの手段により注入された場合、このT_L(4)を電極とするコンデンサ、例えば第1図(4)、のQ₁, Q₂に分極を命として、みかけ上(4)に捕獲された如き状態を呈することがわかつた。

またこのT_Lをゲルマニウムまたはシリコンの如き半導体を用いるならば電子およびホールの捕獲を同等にすることができる。しかしそ

の捕獲のしやすさは、T_Lの作成条件およびT_Lとしての半導体中にドーブする不純物の種類およびその量に依存することがわかつた。

さらに、従来は基板(1)と電荷捕獲中心層(T_L)との距離すなわち、絶縁物(7)の厚さが、1000 Å以上と比較的厚かつたが、これは、500 Åまたはそれ以下にした方が、基板からの書き込み速度がはやくなり、ひいては、メモリ装置としての応答速度を速くすることができた。

実用的な分留りを考慮しうるわく内でうすくした。もちろん、この絶縁膜(7)を500 Å以上としてもよい。しかし、500 Åをこえたとこの絶縁膜(7)内にあるトラップにより基板から流れ出る電流が、ポール・フレンケル電流になり、ショットまたはトンネル電流にならない。

さらに、T_L(4)とその上面のG電極(10)との間に存在する絶縁膜(8)は、例えば酸化窒素膜(以下SiO₂という)が1 μの厚さにあるが、この膜厚は小さい厚さでよくひいては、この絶縁

膜によつてできる。静電容量Qは、大容量であればあるほど基板とT_L(4)との間に形成される電界強度を強くすることができることがわかつた。すなわち、T_L(4)、絶縁膜(7)、絶縁膜(8)のいずれもがうすければうすいほど速い応答速度、記憶に必要な低いゲイト電圧、さらに漏電の発生を防止することにより信頼性の向上に寄与することがわかつた。

この観点からすると、第1図(4)、(7)でQが捕

(7)、(8)の厚さが厚いことは、その低いゲイト電圧で、速い応答速度で、T_L(4)への記憶の書き込みまたは再書き込みを行うという本来の目的には全く反していることがわかつた。

本発明は、これらの事実に基づき、新たな構造を作り、T_Lを有するSi-S-F₃Tまたはそれを複数個基板に集積して作成した集積回路(I/Oという)への応用に供するものであつて以下にその詳細を説明する。

実施例 1

本発明の1つに關する図面が、第2図、第3図、第4図に記されている。

これらの図面において明らかな如く、 O 絶縁膜内に TL (a)、(b)、(c)が複数個作製されたことおよび TL が有在していないゲイト電極下の絶縁膜は、従来の MIS ・ FET としての動作を有すること。この2つが必要に応じて併用された構造を有することである。

なお、本発明において、 TL とは電子またはホールを注入、捕獲または再結合することのできる層の機能を意味し、すでに記した如き材料を用いた。

さらに、この TL への電荷の注入方法としては蓋板(1)とゲイト電極(4)との間に印加されたことにより生ずるトンネル電流またはショットキー電流を利用して注入する方法、 S (2)、 D (3)間にまたは蓋板(1)と S (2)または D (3)間にジェナーまたはアバランシエ・プラズマを発生させて、これにより生じた励起状態のかわ

るホット・キャリアの電子またはホールのキャリアの自己拡散を利用する方法、この際、ゲイトに正または負の電圧を印加し、電子またはホールのいずれか一方を選択的に注入する方法、これらのいずれかと先または後とを併用して、注入を促進する方法があるが、これらは、本発明前記の MIS ・ FET の O 絶縁膜中への電荷の注入方法であつて、本発明においてはいずれを用いてもまたあわせ用いてもよいことはいふまでもない。

第2図の作製方法を略記する。

蓋板は N 型アモル MIS ・ FET を作る場合は、 P 型 $1.5 \times 10^{14} \sim 5 \times 10^{16} \text{ cm}^{-3}$ の不純物濃度の試料を用い、(100)の結晶方位のものを用いた。最初酸化窒素膜(以下 SiN という)のマスク作用を利用して、水素気または塩酸中で 900°C 〜 1100°C の温度で酸化して、蓋板(1)とリードとの膜層容量を除去するための絶縁膜(4)を作製した。次に S (2)、 D (3)を熱拡散法で不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$ のオ

ーダーに拡散して作つた。拡散濃度は、 $1 \sim 5 \mu$ とした。さらに蓋板(1)表面を十分清掃に保つた後、これら全体を酸化した。この酸化は、 $20 \sim 500 \text{ \AA}$ の厚さでは、 800°C 〜 1150°C の温度範囲で炭酸ガスまたは酸素ガスを水素または窒素の如き不活性ガスで必要に応じて導入し酸化して作製した。かくの如く高圧で酸化膜を作ることにより、酸化膜が緻密になり、安定な動作が可能となつた。

中で 1000°C 〜 1200°C の加熱を行つた。また、この絶縁膜(7)の構成材料として、薄い酸化膜とその上に酸化窒素被膜、酸化錫の如きエネルギーギャップが酸化窒素に比較して小さい材料を用いて、 TL へ電荷の注入を促進せしめてもよい。

TL (a)、(b)は、シリコンまたはゲルマニウムの如き半導体を用いる場合は、シラン、ジタローシランまたはゲルマン、塩化ゲルマニウムを用い気相法で形成させた。ゲル

マニウムは真空蒸着法で形成させてもよく、また、金属の TL を作る場合は、真空蒸着法またはスパッタ法により形成せしめた。

さらに、この上面に絶縁膜(4)を形成させた。この絶縁膜は、酸化窒素膜を用い(a)、(b)の部分を残し他を除去する。この後これらすべてを酸液中で酸化して TL (a)、(b)を構成する部分以外の半導体または金属膜を酸化して絶縁膜に変更する。このとき蓋板の S (2)、 D (3)

する。 TL は、化学的エツタ膜で形成してもよく、また、前記酸化を途中で中止するならば図部の如き状態になり、くぼみ部は形成されない。最後に、ゲイト電極(4)をアルミニウムの真空蒸着法で $0.5 \sim 1 \mu$ の厚さに形成せしめた。(4)面を含む、本明細書図面では蓋板からのキャリアの TL への注入のみを考慮し、ゲイトからの注入を考慮しなかつたが、これは、相対的な問題であつて、ゲイトからキャリアを前記方法によつて注入してもよい。

以上の如くにして、1つのMIS・FETのゲイト絶縁膜内に2つのTL(8), (8')を有する構造を作製することができた。

(8)図は、ゲイト電極下の Q_1 領域にのみTL(8)を作り、 Q_2 領域は、従来のMIS・FETの構造を有している。(8)図は脱出し用8(8)で記憶の読入用のZPまたはA・Pを発生せしめ、これをG電極に電圧を印加してTL(8)に電子またはホールを注入するための構造を有している。このZPまたはA・Pが加えるための必要電圧は一般に50V以上を必要とするが、本実施例では、8(8)とうめ込み層(8)との境界 P^+-N^+ 接合で、ZPまたはA・Pを発生させるため、その発生に必要な電圧を5~10Vと小さくすることができた。

第2図(8)は、TLがゲイトの絶縁膜の中央に存在する構造であつて、(15),(15')はTL(8)の存在しないいわゆるMIS・FETの構造を有している。

(8)は、(8)とは逆にTL(8), (8')が8(8), D(8)

の上方に存在し中央が8として通常のMIS・FETの構造となつている。

さらに(8)は、TL(8), (8'), (8')が、(8)が2つに対して互に並列に作製されたものである。これら(8), (8'), (8'), (8'), (8)の電気的な記号を第1図(8), (8'), (8'), (8'), (8)にそれぞれ記してある。

これらのTLの位置は、代表的なもののみを記したものであつて、これをさらに複雑化して、TLを有する領域とTLを有せざる領域とを組合せて作製してもよいがそれらは本発明と同一技術思想であつて、本発明の以上の実施例より容易に想像できるものである。

次にこれらの工業的な価値のうち代表的なものを記す。これらは基本的に論理回路であつて、TL(8), (8'), (8')に接続された電荷により、その下方に存在する半導体中を流れる電荷の量を制御するが、この程度は、TLに注入されている電荷の量により異なる。もし脱出しを8(8)よりD(8)に電流を流す場合、

また、NチャネルMIS・FETを考えた場合、TLにホールが捕獲されていると、その量に従つて、スレッシホールド電圧(以下 V_{th} という)が負に移動し、TL下の半導体中を電子が流れる状態になる。またこのTLに電子を注入すると半導体中にはチャネルが形成されず、電流が流れない。かくの如き状態で半導体中を流れるキャリアの量を制御できる。しかし、本発明の如く、複数個のTL

例えば(8)において2つのTL(8), (8)の双方に電子が捕獲され、その結果、双方が「オン」状態になつて初めて、キャリアが流れる状態を作ることができる。すなわち、AND回路の論理機能を有しかつ不揮発性を有していることがわかる。すなわち、不揮発性を有する論理回路の一例であることがわかる。(8)はTLが(8), (8'), (8')と互に並列につらなつたAND回路であつて、この数は必要に応じて変えてゆけばよい。

第2図(8)は、ZPまたはA・Pを利用してTL(8)に電荷の注入するための構造を示している。すなわち、電圧込み用D(8)の外周辺にはうめ込み層(8)が P^+ で存在し、この層と(8)との間に作製される接合を利用して、ZPまたはA・Pを作り、このとき誘起されたキャリアをTL(8)に注入する機構である。この場合TLが存在しそこに捕獲された電荷により基板を流れるキャリアの量を制御する領域

て記述する。すなわち、(8)が(8)に対して並列に形成されている。このことにより、以下の使い方が可能になる。すなわち、8, D間を流れる電流は Q_1, Q_2 の双方がオン状態になつた時、すなわち、 Q_1 がノーマリ・オフのMIS・FETならば、脱出し用G時に電圧を加える時のみ始めてTL(8)に存在する電荷の状態を脱出すことができる。これは(8)の如き構造を用いて、マトリクス構造を作る言い方であつて好都合である。

第1図(カ)は、TL(カ)がS、Dの基板との接合部より十分はなれ中央付近にのみ存在する図の構造においては、特、特が通常のMIS・FETの動作を行い、S側のMIS・FETが直列につながつた構造をしている。この場合は、TLへのキャリアの注入は、Gゲートバイアスを加え、基板からまたはゲートからの電界注入またはそれと光、熱を併用して注入する機構が用いられる。この構造は、同一基板に複数のMIS・FETを作り、例えば(キ)、(ク)が、GゲートのD、Sではなく、隣接したMIS・FETのD、Sであり、かつTL(カ)の電荷は(キ)、(ク)間のチャネルカプットとして有効に作用する。

第2図(カ)は(キ)とは逆にTL(カ)、(ク)がS(キ)、D(ク)の上方に位置せしめた構造を有している。それぞれがD(キ)と基板またはS(ク)と基板とのZPまたはA・Pを利用したキャリアの注入方法を用いている。

第2図(カ)、(キ)、(ク)、(ケ)の電気的な記号

ある。多層構造とする場合その注意すべき点の第1は、例えば(カ)におけるTL(カ)、(ク)の厚さが 500\AA までであり、一般には 200\AA 前後である。かくの如くにTLの厚さをうすくしない限りゲイト絶縁膜の厚さが全体できわめて厚くなつてしまい信頼性がなくなる点にある。さらにこのTLの構成材料は、必要に応じて不純物がドーブされたシリコンが用いられることである。その理由はその後

に原則としてTLの外周はシリコンの酸化物または窒化物により作製されているという点にある。

図面において、(カ)及びTL(カ)は第2図(カ)と同じ構造であり、TL(カ)は、MIS・FETのチャネルを構成するチャネル全体をかかっている。すでに公知の構造は基本的に、(カ)でTLが(カ)のみの場合をその代表としている。図は(カ)とは逆に(ク)が上側にまた(キ)が基板側に作られている。さらに(ケ)は、第2図(カ)のTL

を(カ)、(ク)、(キ)、(ケ)に記してある。以上の如く本図面においては、複数のTLまたはTLのいれゲイト絶縁膜を同一ゲイト下に作成し、それらのすべてが、オン状態にしたとき始めてS、D間をTL(カ)及びGゲートに印加された電圧に従つた電流が流れるものであつて、論理回路としてはAND回路を構成することが出来る。もちろん、OR回路を作ることも出来る。これは、S、D間に複数のMIS・FETを直列に作るのではなく、並列に作成すればよい。しかるときは、いずれか1つがオンの時は、電流が流れ記憶の読出しが行なわれることを意味する。この構造その他は第2図のそれと同様であつて、きわめて容易に拡張しうるものゆえ詳細は省略する。

第3図は、第2図と異なり、同一ゲイト下のゲイト絶縁膜内に複数のTLが存在する構造を有している。すなわち、第3図(カ)では、TLは(カ)、(ク)が重ねて作られている。図面において、S、D、Gその他は第2図と同様で

(カ)、(ク)とG電極との間に存在する絶縁膜(カ)、(ク)の中にTL(カ)が介在した構造を有している。(キ)は、第2図(カ)の構造でTLが2層に重ね合わされたものである。さらに(ケ)は、チャネルを構成する基板をすべてをかきゲイト絶縁膜内に2層に重ね合せて作られている。これらは、いずれにおいても第2図の形状であり、2層になつたTLへのキャリアの注入は、基板に近い側(例えば(カ)のTL(カ))は、基板側

れらとS・DまたはGとの間に存在する絶縁膜(カ)、(ク)の中にTL(カ)が介在した構造を有している。(キ)は、第2図(カ)の構造でTLが2層に重ね合わされたものである。さらに(ケ)は、チャネルを構成する基板をすべてをかきゲイト絶縁膜内に2層に重ね合せて作られている。これらは、いずれにおいても第2図の形状であり、2層になつたTLへのキャリアの注入は、基板に近い側(例えば(カ)のTL(カ))は、基板側より行なえばよく、また、上側のTL(例えば(カ)のTL(カ))は、ゲイト電極よりトンネルまたはショットキ電流により注入するか、さもなくば第4図(カ)の如き構造にして注入を行なえばよい。図面では、TLは、2層になつてはいるが、5層またはそれ以上としてもよいことはいうまでもない。第2図、第3図は、TLが、ゲイト絶縁膜内に局部的に1つまたは複数個形成された構造の代表的なものを記

したが、この組合せはその用途によつて決められるべきであり、それらは本発明の技術思想に含まれるものである。第3図(A), (B), (C), (D), (E)は、それぞれ(A), (B), (C), (D), (E)の電気記号で示したものである。

第4図は、半導体基板に複数個のMIS・FET(図面では Q_1, Q_2)が作られ、それらが対をなしている場合の縦断面図の一例を示している。

(A)は、 Q_1 のTL(a)がうめとみ層とD(a)との間の接合でできた。またはチャネルで作られるホットキャリアの注入が行なわれるのに対し、TL(a)は、TL(a)の上方にあり、ここへのキャリアの注入は、MIS・FET(Q_1)により行なわれている。また図は、2つのMIS・FETが Q_1, Q_2 のTL(a)が共通しており、例えば Q_2 でTLにチャネルをオンにするキャリアが注入されるならば Q_1 のチャネルがオンになり、また Q_2 でオフのキャリアが注入されるならば Q_1 がオフとなる構造を有している。

Q_1, Q_2 が(a), (b)として存在している。すなわち、 Q_1, Q_2 にそれぞれ正または負の電圧を独立にまたは共有して加えることにより、TL(a)への注入の強度をかけることができる。それは、TLに注入される電荷Qは、Gに加わる電圧とGとTLまたはTLと蓋板との間に形成される静電容量とに比例するため、例えば+50VをGに加えた場合と同電圧をG、 $V_{GS} = 0$ の場合ではTLに注入される電荷

(b)は、第2図(B)の構造でTL(a), (b), (c)上に Q_1, Q_2, Q_3 がそれぞれ独立に作られておりこれは、いわゆる3つのMIS・FETを直列につないだものと電気的には同じであり、3つのMIS・FETを直列につないで作られた場合と同様のオフの論理性を有する。もちろん、4つまたはそれ以上、直列につないでも同様である。しかしながらその基本構造において Q_1, Q_2, Q_3 の下には1つのチャネルを形成するためのMIS・FETがあるのみ

る。さらに(b)は、 Q_2 の2つのTL(b), (c)が直列に作られ、 Q_2 は Q_2 のTL(b)が共通して作られている。これらのことは、不揮発性の記憶特性を有する論理回路構造を行う場合の高度構造であり、本発明の1つはその論理記憶を電気的に行なわせしめるこれにきわめて重要な技術思想であると信ずる。

実施例 2

本実施例は、実施例1と同様に1つまたは複数個作製された1つまたは対になつた2つまたはそれ以上のMIS・FETを用いた、論理構成を行なわしめるために重要な基本構造を示す。第5図にその基本構造の代表例を示す。

電荷のTLとしては、実施例1と全く同様であり、さらに作製方法も同様である。本実施例の特徴は、TLが1つまたは複数個存在するMIS・FETでゲイト電極が2つまたはそれ以上存在することである。

第5図(A)は、TL(a)上に二つのゲイト電極

で、また、TLが独立にゲイト絶縁膜内に存在することである。このことより3つのMIS・FETを直列につないだ場合よりもきわめて小型にすることが可能になつた。

(b)は、2つのMIS・FETがTLを有し、中央に位置する Q_2 のゲイト絶縁物がTLを有せざる構造になつている。図でTLへのキャリアの注入はトンネル電流またはショットキ電流により行なうが(b)でTL(a), (b)への注入

注入することができる。

(c)は、TL(b)の上に2つのゲイト(a), (b)が加えられ、 Q_2 が作られており、(a)により作られる電界を(b)に加える電圧により変調し、結果として、TL(b)にキャリアを注入するためのゲイトの電界強度を変調する構造になつている。さらに図は(b)にさらにTL(c)として作られたものである。

以上の説明よりわかる如く、本発明はTLが、1つまたは複数個作られ、かつ、その上

方に位置するゲイト電極が少なくとも2つが同一平面または重ねあわせて作られた構造を基本としており、実施例1、実施例2をあわせて、初めて不揮発性の記憶回路の作製が可能になった。もちろん、同一基板上形成されるMIS・FETのすべてがこれら実施例に基づく技術思想である必要はなく、その一部または大部分は、従来より知られたる第1図の構造を基本とするMIS・FETを用いることも当然無意味化されかゝることはいうまでもない。

さらに、第5図は、1つのMIS・FETに対して実施された例であるがこれが実施例1の第4図に相当する構造すなわち、2つまたはそれ以上のMIS・FET対をなして動作するようにT_Lの構造を作つてもよいことはいうまでもない。

実施例 2

第6図にその実施例の縦断面図を記す。すなわち、本実施例は、半導体基板上に作製され

た、絶縁ゲイト型電界効果トランジスタ間にチャネルカットをT_Lを用いて行うための構造に関するものである。

T_L及びMIS・FETの作製方法としては、これまでの実施例と全く同様である。本実施例は、その基本においては第2図(3)の1つの応用例にすぎない。すなわち第4図(A)において書き込み用D(2)とB(3)との間には第2図(3)の構造のT_L(4)が作られており、Q、Q₂を構成している。さらにQは第2図(3)がD(2)、B(3)を用いて作られている。図面において、T_L(4)は基板またはゲイト電極(ポリシリコン)や電流でいわゆる絶縁物のリーク電流を注入しなければならない。これには 5×10^6 V/cm 以上の平均電界強度を必要とする。但しこの場合のキャリアの注入方法はすでに記された如く直進で行うならば強電界を必要とする。しかし、このT_L(4)へのキャリアの注入を100℃〜300℃に基板を加熱するすべての加熱された条件下で行うならばきわめて容

易になる。例えば基板を150℃の加熱の状態としゲイト電極と基板との間に同一電界を加えたとき絶縁膜を流れる電流は5倍になった。もちろんA・P、ZPを用いてキャリアのT_Lへの注入を行うにも加熱を同時に行うとキャリアの注入が助長されることはいうまでもない。さらに、T_L(4)の下方にはBまたはDと作られてからずいわゆるZPまたはA・PによるT_Lへのキャリアの注入は行な

またはA・Pにより作られたホットキャリアを注入するため、(4)は(A)を記憶装置として動作させる以前に注入された電荷をそのままの状態で保持しつづけることが可能になる。このため、あらかじめ図面では(3)、(2)の間をP型化してかくといわゆるチャネルカットが行なわれることになる。もちろん(4)にホールをいれてN⁺型(3)直下の半導体基板表面を電気的に変形し、オンの状態を維持しつづけてもよいことはいうまでもない。さらに、テ

アネルカットとして用いる場合は、T_L(4)で捕獲されているキャリアの濃度は一定不変を原則とするため、T_L(4)にキャリアを注入、捕獲せしめため、その上方に形成されたゲイト電極を化学的または熱的に除去してしまつてもよいことはいうまでもない。

第6図(3)は、T_LがMIS・FET、Q及びQ₂のチャネル構成する部分全体に形成されている。この図の作製方法としては、以下の

して作つた後、(4)のチャネルを形成して作る。この時うめとみ層は、B(3)、D(2)、(2)に比較して、不純物濃度が小さくなければならぬ。例えば、B、Dを 10^{20} cm^{-3} のオーダーを注入し、うめとみ層は $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすればよい。するとD(2)、(2)の上部には時の作製と同時に拡散がなされるが、これは、Dの不純物濃度と比べて十分小さいため、D(2)、(2)の表面附近にやはり図面ではN⁺型にすることができる。この後、ゲイト

絶縁膜(7)、TL(8)及びSiN膜(9)を作る。この後TL(8)上のSiNのみを残し、他を除去し、全体を水素ガスまたは還元ガス中で950℃〜1150℃で酸化する。この酸化の強度が強いため基板の一部をも酸化し凹の形状となる。この後、TL(8)上のSiN膜を熱リン酸で除去した後、被膜全体をあらたなSiN膜を形成する。この膜は、SiNではなく酸化タンタル、酸化チタン、酸化ベリリウムその他を用いてもよいことだ。うまでもない。最後にゲイト電極及びリード線を形成する。この後ゲイト電極と基板との間に図では電極を正に強電界を加え、TL(8)に電子を注入し、その直下をP型化してチャネルカットとすればよい。

以上の説明よりわかる如く本発明は、半導体基板に1つまたは被膜が作られたMIS・FETのゲイト絶縁膜内に電荷の捕獲中心層としてTLを作りそのTL位置、大きさ、数を定めることにより、さらにTLに電荷を注入するためのゲイト電極の形状、数を定める

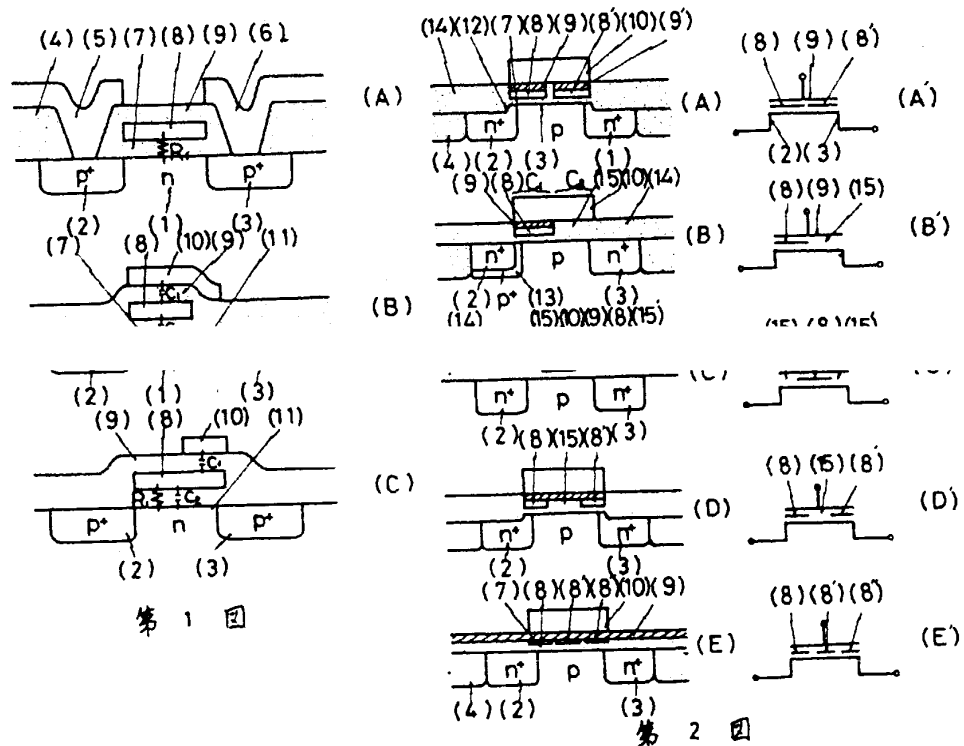
ことにより、不揮発性記憶装置を有する回路回路を作ること及びその一つを応用して、電圧または加熱雰囲気でTLにキャリア注入することにより開接MIS・FET間のチャネルカットを行うことにより、その新規性と工学的有効性はきわめて大きなものと信ずる。

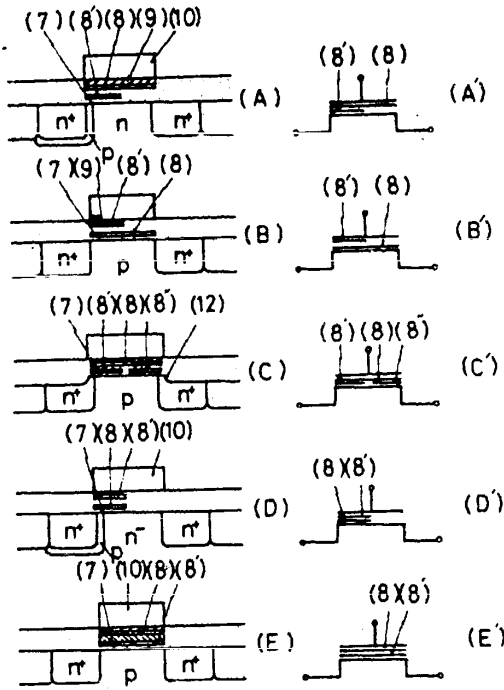
4. 図面の簡単な説明

第1図は、従来の不揮発性記憶装置を有するMIS・FETの縦断面図を示す。第2図、第3図、第4図、第5図は、本発明構造のMIS・FETの代表例の縦断面図を示す。第4図は複数個の本発明MIS・FETとその間に作られたチャネルカットの基本構造を示す。

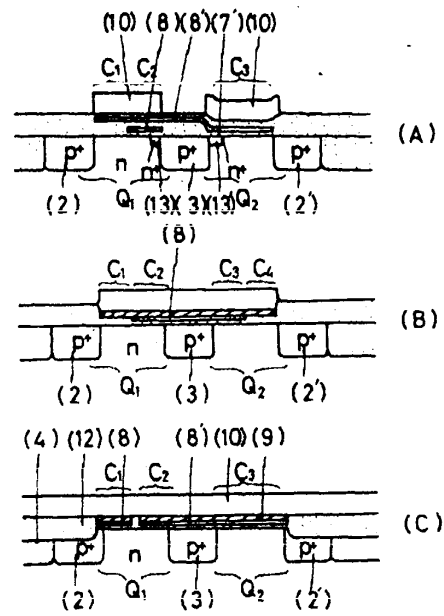
特許出願人

山崎 典 平

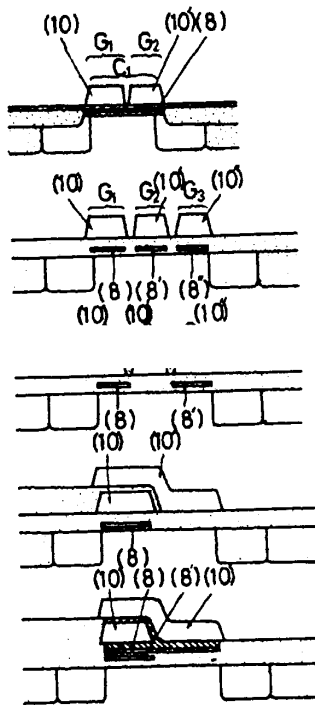




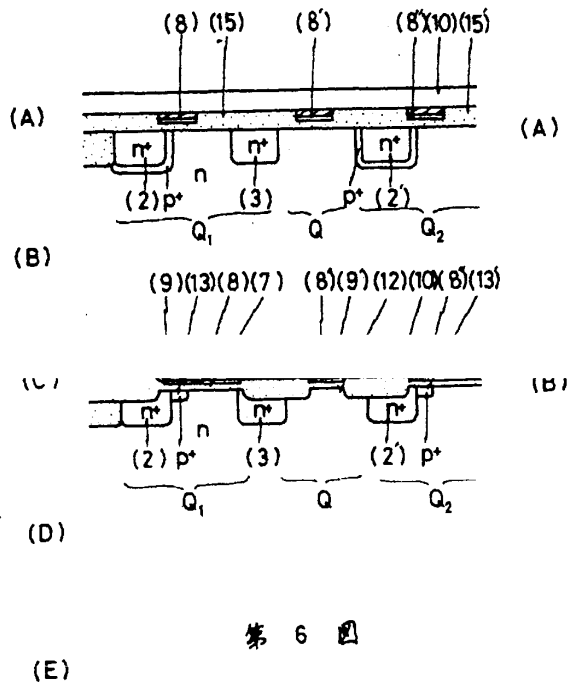
第 3 圖



第 4 圖



第 5 圖



第 6 圖

特開 昭48-73086 (11)

手続補正書 (方式)

5. 添付書類の目録

- | | |
|-------------|-----|
| (1) 出願審査請求書 | 1 通 |
| (2) 明 細 書 | 1 通 |
| (3) 図 面 | 1 通 |
| (4) 願 書 副 本 | 1 通 |

昭和47年4月25日

特許庁長官 井 土 武 久 殿

1. 事件の表示

昭和46年特許願第94297号

2. 発明の名称

半導体メモリ装置

3. 補正をする者

事件との関係 特許出願人

住所 〒101 東京都千代田区神田2丁目14番6号

東京電気化学工業株式会社内

氏名 山 崎 真 幸

4. 補正命令の日付

自 発

5. 補正の対象

願書の出願人

6. 補正の内容

願書の記載を別紙訂正願書の通り訂正する。

7. 添付書類の目録

- | | |
|----------|-------|
| (1) 訂正願書 | 正副各1通 |
|----------|-------|

5. 添付書類の目録

- | | |
|-------------|-----|
| (1) 出願審査請求書 | 1 通 |
| (2) 明 細 書 | 1 通 |
| (3) 図 面 | 1 通 |
| (4) 願 書 副 本 | 1 通 |

特 許 願 (特許法第38条ただし書)
の規定による特許出願

昭和46年11月24日

特許庁長官 井 土 武 久 殿

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲に記載された発明の数

3. 発 明 者

住所 〒101 東京都千代田区神田2丁目14番6号

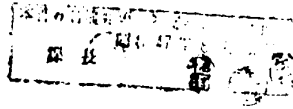
氏名 山 崎 真 幸

4. 特許出願人

住所 〒101 東京都千代田区神田2丁目14番6号

東京電気化学工業株式会社内

氏名 山 崎 真 幸



(1240) 特許出願人名義
変更届

昭和47年6月19日

特許庁長官 井土 武久 殿

1 事件の表示

昭和46年特許願第94297号

2 発明の名称

半導体メモリ装置

3 承継人

住所 東京都千代田区内神田2丁目14番6号

名称 (306) 東京電気化学工業株式会社

代表者 森 野 福次郎

4 新着書類の目録

(1) 承継人であることを証明する書面 1通